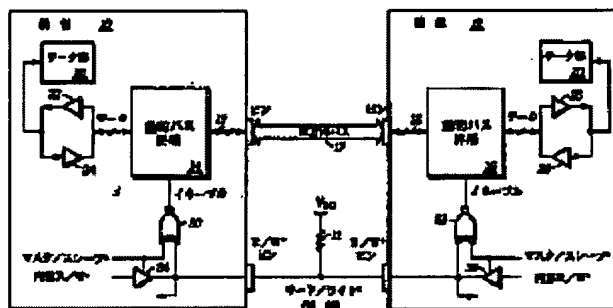


SYSTEM AND OPERATING METHOD FOR DATA PROCESSING

Patent number: JP7182078
Publication date: 1995-07-21
Inventor: JIEEMUSU JII GEI; UIRIAMU BII RETSUDOBETAA
JIYUN
Applicant: MOTOROLA INC
Classification:
- **International:** G06F3/00
- **european:**
Application number: JP19940287206 19941028
Priority number(s): US19930145117 19931103

Also published as: US 5467455 (A1)**Report a data error here****Abstract of JP7182078**

PURPOSE: To provide a data processing system and method in which signal reflection on a bus can be reduced, and a further high operating speed can be attained by dynamically connecting a proper terminating circuit with the bus only at the time of receiving data. **CONSTITUTION:** In a method for providing a data processing system and a dynamic bus signal terminal, a dynamic bus terminating circuit (14 or 16) is used with a device (10 or 12). The circuit is enabled when data are inputted to the device, and disabled when the data are outputted from the device, and undesired signal reflection at the signal end part of a bi-directional bus (17) is selectively reduced. The circuit is turned into three states for being removed from any connection with the bus (17) when it is not necessary (that is, the data are outputted) by disabling the circuit. Also, when the bus is in an idle state, or one part is in a low power operating mode, the reduction of one part of power consumption can be supported by disabling the terminating circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-182078

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.⁶

G 0 6 F 3/00

識別記号

K

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 6 F D (全 11 頁)

(21) 出願番号 特願平6-287206

(22) 出願日 平成6年(1994)10月28日

(31) 優先権主張番号 1 4 5 1 1 7

(32) 優先日 1993年11月3日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジェームス・シー・ゲイ

アメリカ合衆国テキサス州ブフラガービル、
スプリット・オーク・コープ1103

(72) 発明者 ウィリアム・ビー・レッドベター・ジュニア

アメリカ合衆国テキサス州オースチン、
キバ・ドライブ7737

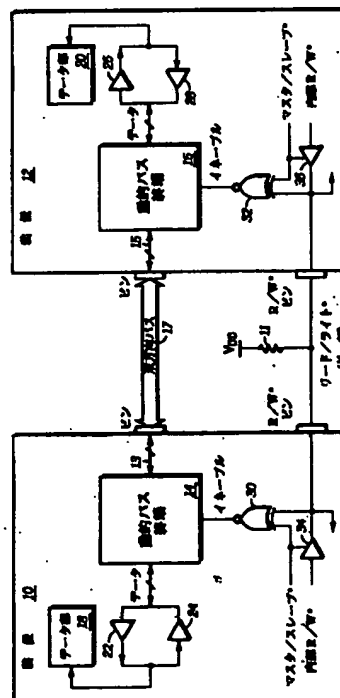
(74) 代理人 弁理士 本城 雅則 (外1名)

(54) 【発明の名称】 データ処理システムおよび動作方法

(57) 【要約】

【目的】 データ受信時のみ適正な終端回路をバスに動的に接続することにより、バス上での信号反射を低減すると共に、より高い動作速度を可能にするデータ処理システムおよび方法を提供する。

【構成】 データ処理システムおよび動的バス信号終端を設ける方法は、動的バス終端回路 (14 または 16) を装置 (10 または 12) と共に用いる。前記回路は、データが前記装置に入ってくる時にイネーブルとされ、前記装置からデータが出て行く時にディセーブルとされ、双方向バス (17) の信号端部における望ましくない信号反射を選択的に低減する。ディセーブルにすることによって、不要な時に (即ちデータが出て行く時) 前記回路をバス (17) とのあらゆる接続から除去する、即ち三状態とする。また、前記終端回路をディセーブルにすることによって、バスがアイドル状態にある時または一部が低電力動作モードにある時に、その一部の電力消費を減少させるのを助ける。



【特許請求の範囲】

【請求項1】通信装置(10)を有するデータ処理システム(10, 12)において、前記通信装置は少なくとも1本の外部ピンを有する集積回路であり、前記少なくとも1本の外部ピンは外部から前記通信装置へのデータを受信すると共にデータを前記通信装置(10)外部に送信するように結合されており、前記通信装置は：少なくとも1本のデータ・ライン(13)を通じて、前記少なくとも1本の外部ピンに結合された第1入出力端子と、前記通信装置にデータを供給する又は前記通信装置内部からデータを受信する第2入出力端子と、前記通信装置内部または外部の一方からイネーブル信号を受信する入力と、終端素子(104, 106)とを有する、信号終端回路を含み、

前記イネーブル信号がアクティブの時、前記信号終端回路が、前記終端素子を前記少なくとも1本の外部ピンに結合させ、インアクティブの時、前記終端素子を前記少なくとも1本の外部ピンから分離する、信号終端回路(14)から成ることを特徴とする前記通信装置を有するデータ処理システム。

【請求項2】集積回路パッケージ内部のデータ処理装置であって：前記データ処理装置内部の実行部；外部パッケージに結合され、外部バスを通じて前記データ処理装置との間で論理ビットを双方向に通信するのに用いられる複数の外部ピン；複数のバス終端回路であって、1つのバス終端回路は前記複数の外部ピンの内の1本の外部ピンに結合されており、各外部ピンは少なくとも1つのバス終端回路に結合されており、前記複数のバス終端回路は前記実行部にデータを供給するか或いは前記実行部からのデータを受信し、前記複数のバス終端回路の各バス終端回路は制御信号を受信する入力とを有する、前記複数のバス終端回路；および前記複数のバス終端回路の各バス終端回路の各入力に結合され、前記制御信号を供給する導体；から成り、前記制御信号がアクティブの時、前記複数のバス終端回路内の各バス終端回路が、少なくとも1つの回路素子を前記バスに結合させることによって、前記バス上の反射信号を低減し、前記制御信号がインアクティブの時、前記バス終端回路内の各バス終端回路が、前記バスから少なくとも1つの回路素子を分離させることを特徴とするデータ処理装置。

【請求項3】データ処理装置であって：前記データ処理装置内部の実行部；外部バスを通じて、前記データ処理装置との間で論理ビットを双方向に通信するために用いられる複数の外部ピン；複数のバス終端回路であって、1つのバス終端回路が前記複数の外部ピンの内の各外部ピンに結合され、前記複数のバス終端回路は前記実行部にデータを供給し又は前記実行部からデータを受信し、前記複数のバス終端回路の各バス終端回路は制御信号を受信する入力とを有する、前記複数のバス終端回路；および前記複数のバス終端回路の各々の、前記バス終端回路

の各入力に結合され、前記制御信号を供給する導体；から成り、前記制御信号によって、前記複数のバス終端回路内の各バス終端回路、前記外部バスにおける反射信号を選択的に低減させることを特徴とするデータ処理装置。

【請求項4】データ処理システムであって：動的バス終端回路を有するマスタ装置であって、前記動的バス終端回路は、前記マスタ装置がデータを受信している時にイネーブルされ、前記マスタ装置がデータを送出している時ディセーブルされ、前記マスタ装置がデータを受信している時、前記マスタ装置の前記動的バス終端回路がデータの反射信号を低減するようにしたマスタ装置；前記マスタ装置に結合されたバス；および前記バスに結合され、動的バス終端回路を有するスレーブ装置であって、前記スレーブ装置の動的バス終端回路は、前記スレーブ装置が前記マスタ装置からのデータを受信している時にイネーブルされ、前記スレーブ装置が前記マスタ装置にデータを送出している時にディセーブルされ、前記スレーブ装置がデータを受信している時、前記スレーブ装置の前記動的バス終端回路がデータの反射信号を低減するスレーブ装置；から成ることを特徴とするデータ処理システム。

【請求項5】データ処理装置内の終端回路をイネーブルすべきかを判定する方法であって：

(a) 前記データ処理装置内部の制御信号の論理状態を判定するステップであって、前記制御信号の論理状態は、データが前記データ処理装置に入ってくるのか或いは前記データ処理装置から出て行くのかを決定する、ステップ；

(b) データが前記データ処理装置に入ってくる場合のみ、前記終端回路をイネーブルとし、データ信号の反射を低減するステップ；

(c) データが前記データ処理装置から出て行く場合、前記終端回路をディセーブルにするステップ；および

(d) 全てのデータが前記データ処理装置に或いは前記データ処理装置から転送されるまで、ステップ(a)から(c)までを繰り返すステップ；から成ることを特徴とする方法。

【請求項6】少なくとも1ビットを外部と通信するための端子を有する集積回路であって：前記集積回路内でデータを記憶および操作するデータ部；前記データ部と前記集積回路外部に少なくとも1ビットを通信するための端子との間に結合された動的終端回路であって、N個の物理的に分離された終端回路を有し、Nはゼロより大きい有限の正の整数であり、前記N個の物理的に分離された終端回路の各々は、少なくとも1つの装置を有し、該少なくとも1つの装置は、前記N個の物理的に分離された終端回路の各々に、オン/オフ・スイッチ機能を備え、前記集積回路外部から前記集積回路にデータが入って来る時、前記集積回路外部と少なくとも1ビットの通

3

信をするため前記端子のインピーダンスを選択的に変化させる、動的終端回路；から成ることを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般的にデータ処理装置に関し、更に特定すれば、信号の反射を回避する導電バス・ラインの動的端子(dynamic terminal)に関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】高速で動作する装置、高いクロック周波数で動作する装置、および／または非常に長い導電相互接続を必要とする装置は、信号反射または伝送線効果問題と呼ばれる、性能を低下させる現象に苦慮していることは、当技術ではよく知られている。この現象は公知でありよく理解されているものである。例えば、長さが長い導体またはバス、或いは高速エッジ・レートで動作している導体またはバス上で、0ボルトの信号が5ボルトの信号に変化する場合、そのバスまたは導電線が適切なインピーダンスによって終端付けされていないなら、当該バス的一方または双方の端子において生じる1回以上の反射のために、そのバスまたは導電線上で、0ボルト値から5ボルト値に静定するまでに時間がかかる。従来、信号反射を減少させ、以て性能を向上させるために、一方向バスの両端部に永久抵抗器を配して、信号反射を減少させていた。このバスでは、一端が常にデータを受信している（他端は常に送出している）。終端(termination)は、受信側のみあればよいので、この一方向バスの終端付けは容易にできる。しかしながら、バスがアイドル状態であったり、一部が低電力動作モードにある場合、接続された永久抵抗器は通常電力消費を増加させる原因となり、不利である。

【0003】双方向バスでは、当該バスのいずれかの端部がいつの時点でも受信中あるいは送信中なので、終端の問題は更に重大となる。したがって、従来技術では、必要であるか否かには無関係に、永久抵抗終端がバスの両端に配され接続されていた。このため、バスが低電力動作モードに設定されると、バスに対する負荷が増大し、しかも電力消費が増加するという結果となっていた。

【0004】本発明は、前述の不利を克服すると共に、および他の利点を得ようとするものである。

【0005】

【課題を解決するための手段】1つの態様では、本発明は、データ処理装置内の終端回路をイネーブル(enable)にするか否かを判定する方法を含む。データ処理装置と該データ処理装置の外部装置との間に結合されたバスを通じて、バス転送が開始する。前記データ処理装置が該処理装置外部からデータを受信しているのか或いは送出

4

しているのかを判定する。前記データ処理装置がバスからのデータを受信している時、前記終端回路をイネーブルとすることによって、バス上の信号反射を減少させる。前記データ処理装置がバスを通じてデータを送出している場合、終端回路をディセーブルにする。

【0006】他の態様では、本発明は、通信装置を有するデータ処理システムを含み、この通信装置は、その外部に接続される少なくとも1本の外部ピンを有する。この少なくとも1本の外部ピンは、前記通信装置外部からのデータを受信し、該通信装置外部にデータを送信するように結合されている。前記通信装置は、終端用回路を有する。この終端用回路は、少なくとも1本のデータ線を通じて前記少なくとも1本の外部ピンに結合された第1入出力端子を有する。前記終端用回路は、内部から前記通信装置へのデータを供給するまたは受信する第2入出力端子を有する。前記終端用回路は、イネーブル信号を受信する入力線を有すると共に、1つ以上の終端素子を有する。前記イネーブル信号は、そのイネーブル信号が印加される時終端素子を前記少なくとも1本の終端ピンに結合し、そのイネーブル信号が印加されない時前記終端素子を前記少なくとも1本の終端ピンから切断する。

【0007】本発明は、添付図面と関連付けた以下の詳細な説明から、更に明瞭に理解されよう。

【0008】

【実施例】図面を参照して、本発明の実施例を以下に説明する。図面では、図示の簡略化および明確化のために、図面内に描かれる要素は必ずしも縮尺通りではないことは認められよう。例えば、ある要素の寸法は他の要素に比べて誇張することによって明確に表したものがあ

る。更に、適切と思われる場合には、図面間で参照番号を繰り返し用いて、対応するまたは類似の要素であることを示した。

【0009】一般的に、ここに例示される装置および方法は、双方向バスの端部にある受信機内の適正な終端を動的にイネーブルにするために設計されたものである。データ受信時のみ適正な端子をバスに動的に接続することにより、バス上での信号反射（即ち伝送線効果）を低減すると共に、より高い動作速度を可能にする。この動的バス終端付けは、受信中の装置に現在のバス駆動方向（即ち、データが装置から読み出されているのか、或いは装置に書き込まれているのか）を示す制御信号を必要とする。この制御信号が、バス上の電圧および／または電流が受信中の装置に向かって駆動されていることを示す時、この受信中の装置はその終端装置をオンに切り替え、入来する信号を減衰させるので、反射がバス（伝送線）に返送されることはない。また、制御信号が、受信中の装置に向かってバスが駆動されているのではないことを示す時、受信中の装置の終端器(terminator)をオフに切り替え、バスにかかる負荷及びバスの電力消失を低減する。

【0010】この動的終端付け方法を用いる装置の例として、データ・バスのような双方向バスを通じて通信する超高速処理装置がある。この場合、受信中のプロセッサの終端ネットワークをオンに切り替える制御信号は、リード／ライト（R／W＊）線となろう。データが実際に転送される時点に先だって、バスの方向性を示す制御線を用い、それらの終端ネットワークをイネーブルにする時間的余裕を受信中の装置に与えることは、有利なことである。他のバス終端制御信号（他の終端制御信号は、R／W＊線またはマスタ／スレーブ＊制御信号以外の信号である）を用いて、終端イネーブル信号をここで形成してもよいことに注意されたい。

【0011】R／W＊線は、処理装置によって、またはこの処理装置がバス所有者である時（即ち処理装置がバスの支配権（mastership）または所有権（ownership）を有する時）は、第1バス・マスタによって駆動される。R／W＊信号は、後続のデータ転送の方向を示す（即ち、データが第1マスタに入る（リード）のか、またはデータが第1マスタから出る（ライト）のかを示す）。R／W＊信号は、リード・バス・サイクル中、高に移行し、ライト・バス・サイクル中、低に移行する。第1マスタがバス・マスタではない時、R／W＊信号は三状態信号（tristated）となる。「＊」を名称に含む信号は、低の時なんらかの方法でアクティブになることを意味する。R／W＊線が装置10、12によって三状態とされる時、外部抵抗器11を用いてR／W＊線を安定化する。

【0012】ここに図示しかつ教示する好適な方法および装置は、双方向伝送線に適正な終端を設ける課題を解決するものである。公知の技術では、バスの各端部において、またはバス上の中間点においてバスに終端付けする必要があったり、或いはバスを星形レイアウトに構成し終端ネットワークをこの星の中心に配する必要がある。バスの両端または中間点に静的終端（static termination）を用いた場合、公知の様々な性能上の不利が発生する。終端ネットワークを、動的に伝送線ネットワークに接続したり切り離すように切り替え、必要に応じて適正な終端をバスの端部即ち最終受信機に配置することができれば、性能は向上する。

【0013】具体的には、ここに示す装置および方法は、現在のバス駆動方向に応じて、双方向バスに動的な終端付けを行う機能を提供するものである。本方法は、ネットの終点において必要な場合に終端ネットワークを設けることができるようにするので、伝送線があたかも単一方向バスであるかのように、適正に終端付けすることができる。この終端付け方法は、バスの終点にある終端ネットワークのみをイネーブルさせればよいので、システムの終端ネットワークで消費される電力を低減することにもなる。高速双方向バスを駆動する装置の場合、通常他の装置の入力であるネットの終点で、適正に終端を設け、信号反射問題を防止しなければならない。しか

しながら、双方向バス上の他の装置が信号を駆動する場合、終端のための適正な場所は、他端か或いは通常他の入力装置である、ネットの異なる点となろう。バス上の種々の装置駆動部の駆動特性に応じて、伝送線に適正な終端を設けるには、異なる終端付け方法／終端回路または素子の値（例えば、異なる抵抗）が必要となる。

【0014】本発明は、図1～図7を参照することによってよりよく理解することができる。図1はデータ処理システムを示す。このデータ処理システムは、装置10および装置12（これらは互いに交信するので、通信装置とも呼ぶ）を有する。一般的に、装置10および装置12は各々集積回路である。例えば、装置10または装置12のいずれかをメモリ素子（SRAM、DRAM、EEPROM素子、EPROM素子、フラッシュ素子等）、インターフェース素子、いずれかの周辺素子、DMA素子、通信用素子、タイマ、アナログ回路、マイクロプロセッサ、パイプライン実行素子、特定用途向集積回路（ASIC）素子、プログラマブル論理アレイ（PLA）、ハードワイヤ・ロジック、少なくとも部分的にマイクロコードおよび／またはナノコードによるソフトウェアで駆動される実行装置、複数の実行素子、デジタル信号プロセッサ（DSP）、コンピュータ、データ処理装置、中央処理装置（CPU）、および集積回路等とすることができる。

【0015】装置10は動的バス終端回路14を有し、少なくとも1本の導線または双方向バス13を通じて、1つ以上の外部集積回路のデータ・ピンに接続されている。内部データ・バスが、第1三状態バッファ22および第2三状態バッファ24を有する双方向回路に、回路14を接続する。バッファ22、24は、通常相互に排他的にオンに切り替えられ、双方向通信を可能とする（時間多重双方向通信）。バッファ22、24は、メモリ・アレイまたはデータ・プロセッサCPUのようなデータ部18に接続されている。別の実施形態では、内部データ・バスを2つのバスに分割し、一方のバスを読み取り用、他方のバスを書込用とし、外部ピンに到達するまでに要する時間多重を不要としてもよい。

【0016】終端回路は、1つ以上の回路素子を含み、データ線に結合される時反射を低減し、或いは、データが装置10によって受信されている時、双方向外部バス17上のライン・インピーダンスを変化させる。これらの回路素子は、1つ以上のコンデンサ、PN接合、ダイオード、抵抗器、抵抗性素子、インダクタ、Nチャンネル・トランジスタ、Pチャンネル・トランジスタ、接合型電界効果トランジスタ（JFET）、金属酸化物半導体トランジスタ（MOSFET）、バイポーラ素子、Bi-CMOS素子、電流源、電圧源、その他の類似の終端素子のいずれか、または先に掲げた回路素子の1つ以上から成る回路を含む。

【0017】回路14内の回路構成物は、図1のイネー

ブル制御信号の状態にตอบสนองして、ピンに結合される。一般的に、イネーブル信号は、データが装置10に向かって来る時にある1つの論理状態にあり、データが装置10から送出される時インアクティブとされる。一実施例において、イネーブル信号は、リード/ライトR/W*とマスタ/スレーブ*制御信号との関数である。後者は、装置10がバス・マスタであるか、或いはバス17の所有権/支配権を有さないスレーブ装置であるかを示すものである。前記ロジックは、トライステート・バッファ34と、排他的NOR(XNOR)ゲート30とを含む。

【0018】装置12は、動的バス終端回路16、バス15、三状態バッファ26、28を有する内部双方向データバス、データ部20、XNORゲート32、三状態バッファ36、マスタ/スレーブ*信号、およびR/W*信号を有し、これら全ては、装置10内の対応する要素に類似するものである。装置10は図1の装置12に類似するものであるが、装置12は別の実施形態では装置10とは全く異なる可能性もあることを注記しておくことは重要である。例えば、装置12をメモリ素子、装置10をマイクロプロセッサとすることもできる。装置12は、装置10と同様のイネーブル・ロジックを有していなくてもよい(即ち、XNOR32および三状態バッファ36を有さず、別のロジックおよび別の制御信号入力を有してもよい)。

【0019】動的終端付けの動作を、以下に更に詳しく述べる。装置10がバス・マスタであり、装置12がバス17上でデータ転送を行うスレーブ装置であると仮定する。更に、装置10は装置12に書き込むためのデータ転送を望んでいると仮定する。装置10はそれ自体がバス17のマスタであるという内部指示を有し、一方装置12はそれ自体が現在バス17上ではスレーブであるという内部指示を有する。装置10は、イネーブル状態の三状態バッファ34を通じて、リード/ライト*(R/W*)線をアクティブとして駆動することによって、装置12に書き込むためのデータ転送を望んでいることを示す。この場合、装置10では論理1および0にある入力が排他的NOR(XNOR)に接続されているので、終端ネットワークはディセーブルとなる。言い換えれば、データは出て行くのであって入って来るのではないので、伝送線効果および/または信号反射を回避するための終端が装置10には必要でない。装置10の終端回路はディセーブルにされる。一方、排他的NOR(XNOR)ゲート32に接続されている装置12の入力は双方とも0であるので、装置12内の終端ネットワークはイネーブルとなる。装置12がバス17上のデータを受信中なので、装置12の終端をイネーブルにする。このように、装置10がデータを規定し(assert)、装置12によって受信されるようにデータをバス17に送出すると、データ・バス伝送線17には、この線の特

性インピーダンスによって、動的かつ適正に終端が設けられるので、信号反射の問題が防止される。

【0020】上述と同じ支配権の指定を仮定してリード・アクセスを考えると、装置10はR/W*線をアクティブにして駆動することによって、装置12からのデータの読み取り転送を望んでいることを示す。この場合、装置10の排他的NORゲートへの入力は双方とも論理1であるので、それ自体の終端ネットワークをイネーブルにする。一方、装置12の排他的NORゲートへの入力は論理0および1であるので、装置12の終端ネットワークをディセーブルにする。このようにして、データ転送の方向および支配権の指定に応じて、装置10または装置12のいずれかが、動的に動作可能にされた終端ネットワークを有することになり、バス・ライン17の端部すなわちシンク(sink)において、伝送線終端を設けることができる。

【0021】この機構を用いることの利点は、終端抵抗を動的にイネーブルとし、バスの端部にある受信機に設けることによって、適正かつ確実に双方向伝送線の終端付けを可能とすることである。加えて、重要なことは、本発明は装置がデータを受信していない時には終端ネットワークをディセーブルとし、即ち除去することによって、電力損失を低減すると共に、バス・ラインの負荷を低減することである。この終端付け方法は、バスの終点にある終端ネットワークのみをいずれかの時点で動作可能にすればよいので、システムの終端ネットワークで消費される電力が低減される。バスが全く用いられていない場合、回路14も16も動作可能にはされず、更に電力損費を低減することになる。

【0022】図2は、図1に類似のデータ処理システムと、図1の回路14、16を示したものである。装置100は装置10に類似しており、また装置200は装置12に類似するものである。図2には集積回路のピンは描かれていないが、それらは好適な形態では存在するものとする。三状態バッファ110、112、210、212はそれぞれ、図1の三状態バッファ22、24、26、28に類似するものである。三状態バッファ110、112、210、212は、制御信号R/W*によって、イネーブル/ディセーブルにされ、バス17上のデータの流れる方向を制御する。抵抗器111は図1の抵抗器11に類似するものである。XNORゲート114、214は、それぞれ図1のXNORゲート30、32に類似するものである。三状態バッファ116、216は夫々図1の三状態バッファ34、36に類似するものである。

【0023】図2の回路14、16は類似しているもので、図2の装置100の回路14についてのみ、以下に詳細に論じることとする。この説明は装置200を全て説明するのにも同様に役立つであろう。図2は、回路14がバイポーラ・トランジスタ102とバイポーラ・ト

ランジスタ108とを含むことを、示している。トランジスタ102は、Vdd（通常5.0ボルト以下）に結合されたコレクタ、エミッタ、およびイネーブル信号に結合されたベースを有する。信号反射を動的に低減するために用いられる、回路素子104は、第1端子がトランジスタ102のエミッタに接続され、第2端子がバス17に接続／結合されている（必要に応じて、出力バッファ、入力バッファ、および入出力（I/O）バッファにも接続されるが、これらは図1、図2には具体的に描かれていない）。トランジスタ108は、接地電位に接続されたエミッタ、コレクタ、およびイネーブル信号に接続されたベースを有する。素子104と同様の素子106は、その第1端子がバス17に接続／結合され、第2端子がトランジスタ108のコレクタに接続されている。

【0024】例えば、素子104、106は、各々単一の抵抗器としてもよい。別の実施形態では、素子104、106は、論理ゲート、コンデンサ、PN接合、ダイオード、その他の抵抗器、いずれかの抵抗性装置、インダクタ、Nチャンネル・トランジスタ、Pチャンネル・トランジスタ、JFET、バイポーラ・トランジスタ素子、B:CMOS素子等を含む回路全体であってもよい。素子104、106は、データがバス17を通じて装置100によって受信されている時にのみ、バス17に対して動的にアクティブにされる。素子104、106は、トランジスタ102、108に接続されているイネーブル信号によって、選択的に接続される。ここに教示された抵抗器等を用いたテブナン等価方法（thevenin-equivalent method）以外の方法も可能であることに、更に注意すべきであろう。興味深いのは、双方向バスの終点において終端を動的に形成する概念である。一方、異なる終端を、データ処理システム内の各装置に用いることもできる。

【0025】前述のように、トランジスタ202、208および装置204、206は、装置100について先に論じた要素に類似するものである。

R/W*	マスタ/スレーブ*
0	0
0	1
1	0
1	1

図5は、図1と同様のシステムを示す。図5の要素に類似する図1の要素は全て、同一の符号を付してある。図1と図5との間の大きな相違点は、図5には終端回路500、501が描かれていることである。図5では、終端回路500は、4つの動的バス終端回路14、50、52、54を含む。終端回路500には、バス終端回路をいくつ含ませてもよいことに注意されたい。一般的に、回路500には、N個の動的バス終端回路を直列に

【0026】図3は、集積回路に動的に終端を設けるために用いられる方法を図示したものである。ステップ300において、通信を実行可能にする、即ち開始する。ステップ302において、図1の装置10のような、バスに結合されている装置が、データはバスから当該装置に向かって入ってくるのか、或いは装置からバスに向かって出て行くのかを判定する。データが入ってくる場合、ステップ304を用いて、図1および図2の終端ロジックをイネーブルにする。データが出て行く場合、終端は不要なので、終端回路をディセーブルにする。一旦終端回路をディセーブル或いはイネーブルにしたなら、信号反射が低減された状態でデータはバスに沿って転送される。転送すべきデータが更にある場合、ステップ308を通じて図3の方法を再び実行する。ステップ309において、必要でなければ、終端素子/回路をディセーブルにする。上述の方法は、多重データ値が単一バス・サイクルで送出される、バースト・バス転送を含む、あらゆる種類のバス転送に作用するものである。

【0027】図4は、動的終端を行う別の方法を示す。全体的に、図4は図3と同様である。ステップ400は、図3のステップ300に類似するものである。ステップ402を用いて、装置がマスタ装置であるか（即ち、情報通信に用いられているバスの所有権を有するか）を判定する。ステップ404、406を用いて、リード動作またはライト動作のどちらが発生しているのかを判定する。ステップ402におけるマスタ/スレーブ*の状態およびステップ404、406におけるR/W*信号に基づいて、ステップ408または410において終端回路をイネーブルまたはディセーブルにする。ステップ411で、バス上の信号反射を低減した状態でデータを転送し、ステップ412に示すように、図4のプロセスを繰り返す。ステップ413において、必要でなければ、転送終端回路/素子をディセーブルにする。一般的に、終端回路を動作可能にするか否かを判定するために用いられるマスタ/スレーブ*およびR/W*の状態図は、以下の通りである。

終端部がイネーブルされるか？

yes
no
no
yes

Nはゼロより大きな有限の整数である（即ち、1、2、3、4、5、6、…個の動的バス終端回路を用いることができる）。回路500内のバス終端回路の各々は、異なるイネーブル信号を有するので、図5には4つのイネーブル信号が示されている。終端付けが望まれる場合、バスに接続されている1つ以上の終端素子/回路に対して、1つ以上のイネーブル信号をアクティブにすることによって、信号反射を低減する、即ちライン・インピーダンスを変化させる。イネーブル信号は、装置10の内

部で得ても、装置10の外部から受け取っても（即ち、スレーブ装置または別のマスタ）、或いは装置10の内部および外部の信号の組み合わせでもよい。回路501は回路500と同様であるので、詳しくは論じないことにする。

【0028】異なる時点で、または異なる装置速度に対して、異なる終端回路が必要な場合、または装置10が異なる外部装置と接続している場合、図5のシステムが有用である。例えば、装置が33.3MHzで動作する時に回路14をイネーブルとし、一方装置10が50MHzで動作する時に回路50をイネーブルとする等というようなこともできる。回路52は、装置が低速のSRAMと交信している時にイネーブルとされ、一方終端回路54は、高速DRAM素子と交信している時にイネーブルとされる。他の場合では、2つ以上の回路14、50、52、54を同時にイネーブルとし、複数の終端素子または回路を、並列または直列に、或いは並列と直列との組み合わせで、結合することもできる。バス13、双方向バス、およびデータ・バスは、1ビットまたは1ビットより多いビット長とすることができる。これらが1ビットより長い場合、図1にあるように、バスの各ビットに対して回路500が複数個用いられる。

【0029】例えば、図6は、4つの終端回路14、50、52、54を含む回路500を示す。図5のバス13、データバスおよび4本のイネーブル・ラインが図示されている。4本のイネーブル・ラインは、回路500内部で分割され、別々に名称を付けられ、イネーブル信号1～4となる。各終端回路は、オン/オフ・スイッチとして機能する素子（即ち、バイポーラ・トランジスタ、MOSTランジスタ、JFET、SCR、トライアック(triac)、リレー等）と、バスのインピーダンスを変化させるすなわち信号反射を低減するように機能する素子を有していなければならない。切り替えおよび反射低減機能は、図6の回路/素子内の1つのトランジスタのような、単一素子によって実現することができる。

【0030】終端回路14は、双方向バスとVddとの間に結合された終端回路/素子と、双方向バスと接地との間に結合された終端回路/素子510とを有する。終端回路50は、双方向バスとVddとの間に結合された終端回路/素子504と、双方向バスと接地との間に結合された終端回路/素子514とを有する。終端回路54は、双方向バスとVddとの間に結合された終端回路/素子508と、双方向バスと接地との間に結合された終端回路/素子516とを有する。

【0031】イネーブル1がアクティブで他の全てのイネーブルがインアクティブの場合、回路/素子502、510のみが双方向バスに結合される。イネーブル1、2がアクティブで他の全てのイネーブルがインアクティブの場合、回路素子502が回路素子504と並列となり、回路/素子510が回路素子512と並列となっ

て、異なる終端装置を形成する。

【0032】例えば、一例として、回路/素子502が100オームの抵抗器およびスイッチであり、回路/素子504が50オームの抵抗器およびスイッチであり、回路/素子506が10オームの抵抗器およびスイッチであり、回路/素子508が3オームの抵抗器およびスイッチであるとする。これらのスイッチがイネーブル信号に結合されていれば、4つのイネーブルを16（2⁴）の異なる状態を指定することができる。これら16通りの異なる状態において、100、50、10、3、33.33、8.33、2.91、7.69、2.75、2.16、9.09、2.30、2.83、2.20、2.26オームまたは無限大を、図6の回路における、双方向バスからVdd線までのバスのインピーダンスとして、選択的に選ぶことができる。別の実施形態では、8つのイネーブル信号を図6に用いることができ、1つのイネーブル信号を、図6の各終端回路/素子に結合する。8つのイネーブルを用いると、2の8乗個の異なる値を得ることができる。

【0033】図7は、回路/素子520、522、524、526の他の相互接続を示す。ここでも、図7の回路/素子は、図6の回路/素子と同様であり、オン/オフ・スイッチとして機能する少なくとも1つの素子と、信号反射低減装置がなければならない。或いは多数の装置が一緒にまたは別個に、スイッチ機能と反射低減機能を実行する。図7は、回路500の相互接続によって、直列回路および並列回路を形成可能であることを示すものである。4つのイネーブル信号が示されている。図7のイネーブル信号の種々の状態から、9つまでの異なる終端インピーダンス値が得られる。例えば、回路/素子520が5オームの抵抗器と直列スイッチであり、回路/素子522が10オームの抵抗器と直列スイッチであり、回路/素子524が20オームの抵抗器と直列スイッチであり、回路/素子526が50オームの抵抗器と直列スイッチであると仮定する。すると、60、55、20、30、25、53.333、23.333、24.286、19.286オームおよび無限大の終端インピーダンスを得ることができる。また、図7は、図1～図7における終端回路は常に接地とVddとの双方に結合しなくてはならない訳ではないことも示すものである。代わりに、終端回路/素子は、Vddまたは接地のいずれかのみと、接続/結合すればよい。

【0034】図8は、目的である直列終端をバス13と直列に選択的に結合するのに用いることができる、回路500を示す。図8は、4つの終端回路/素子600、601、602、603を示しており、これらはそれぞれイネーブル1～4によって動作可能にされる。図8に示すように、終端回路および素子はいくつでも（4つのみでなく）接続してもよいことに注意されたい。イネーブル1～4は独立にまたは集団でアクティブにしてもよ

く、図8の4つの終端回路／素子に対して16種類の異なる終端の組み合わせが得られる。終端回路／素子の1つを、直接電氣的に短絡させてもよい。

【0035】以上具体的な実施例を参照しながら本発明を図示し説明したが、当業者には更に変更や改善が思いつくであろう。例えば、バスに接続された2つ以上の装置、2つ以上のマスタ、および／または2つ以上状態を、図1～図2のバスに結合してもよい。アドレス・バス、データ・バス、直列通信線、または制御信号のいずれかを、ここに教示した方法で終端することができる。信号反射を低減する終端回路または素子のいずれを用いてもよい。また、RCネットワークも、終端素子／回路として有用である。更に、データが実際にバス上を移動している短い時間だけ、終端素子をイネーブルにすることも有利である。更にまた、データ・バスのビット長は32ビットとしてもよく、この場合新たな転送によってバスの値が変わり（例えば16進値のFFFFFFFFから16進値のFFFFFFFF7に）、32ビット値の内1つのビットのみが意味のある変化を行う。この場合、32個の終端回路の内1つの終端回路のみをイネーブルにして、反射を低減させればよい。バスに対して適正な終端値は、直列接続された抵抗である可能性がある（直列接続とは、受信ピンと入力バッファとの間で、バスと接続（in-line with）されることを意味する）ことに注意するのも重要である。図5の回路の構成は、リセット時に設定したり、外部から構成可能としたり、或いはユーザが構成可能とすることもできる。ここで例示したイネーブル以外のイネーブル制御信号も可能である。ここで教示された構造および方法は、双方向バスまたは単方向バスの双方に用いることができる。したがって、本発明は例示された特定の形状に限定されるものではなく、本発明の真意および範囲から逸脱しない全ての変更

を含むことを意図することは理解されよう。

【図面の簡単な説明】

【図1】本発明によるデータ処理システムのを示すブロック図。

【図2】本発明による別のデータ処理システムを示すブロック図。

【図3】本発明による、集積回路の終端回路を動的にイネーブルする方法を示すフローチャート。

【図4】本発明による、集積回路の終端回路を動的にイネーブルする別の方法を示すフローチャート。

【図5】本発明による、データ処理システムの各外部入出力集積回路ピンに対する、複数の独立にイネーブルとされるバス終端回路を有するデータ処理システムを示すブロック図。

【図6】本発明による、図5の複数の独立してイネーブルとされるバス終端回路の相互接続を示すブロック図。

【図7】本発明による、図5の複数の独立してイネーブルとされるバス終端回路の別の相互接続を示すブロック図。

【図8】本発明による、図5の複数の独立してイネーブルとされるバス終端回路の更に別の相互接続を示すブロック図。

【符号の説明】

10, 12 装置

13 双方向バス

14, 16 動的バス終端回路

15, 17 バス

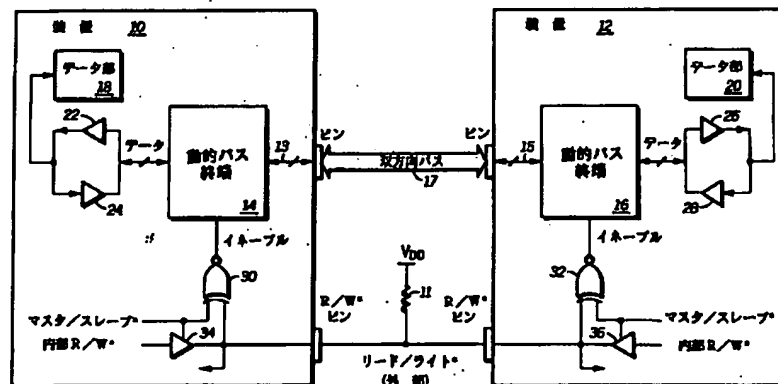
18, 20 データ部

22, 24, 26, 28, 34, 36 トライステート

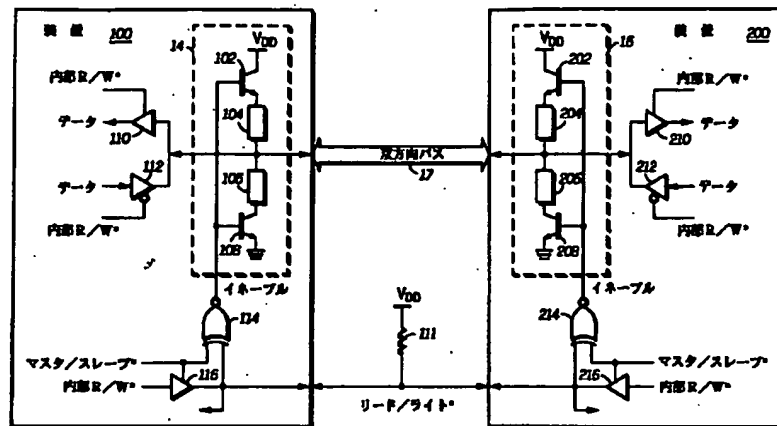
・バッファ

30, 32 排他的NOR (XNOR) ゲート

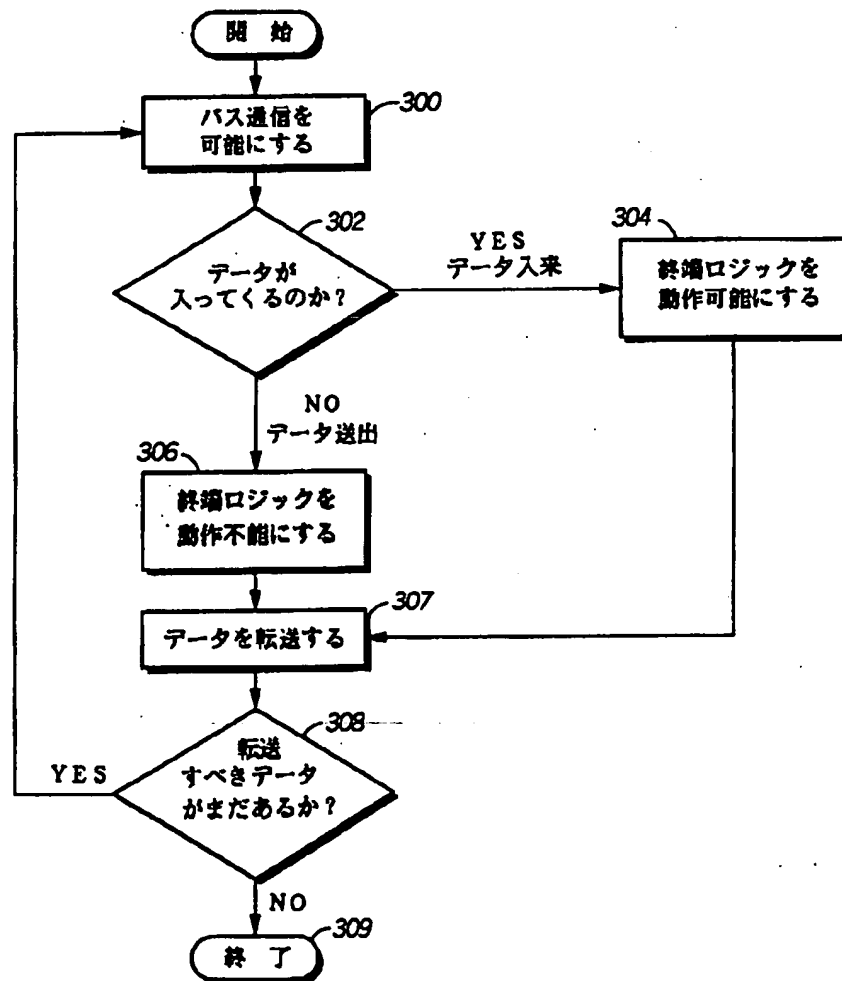
【図1】



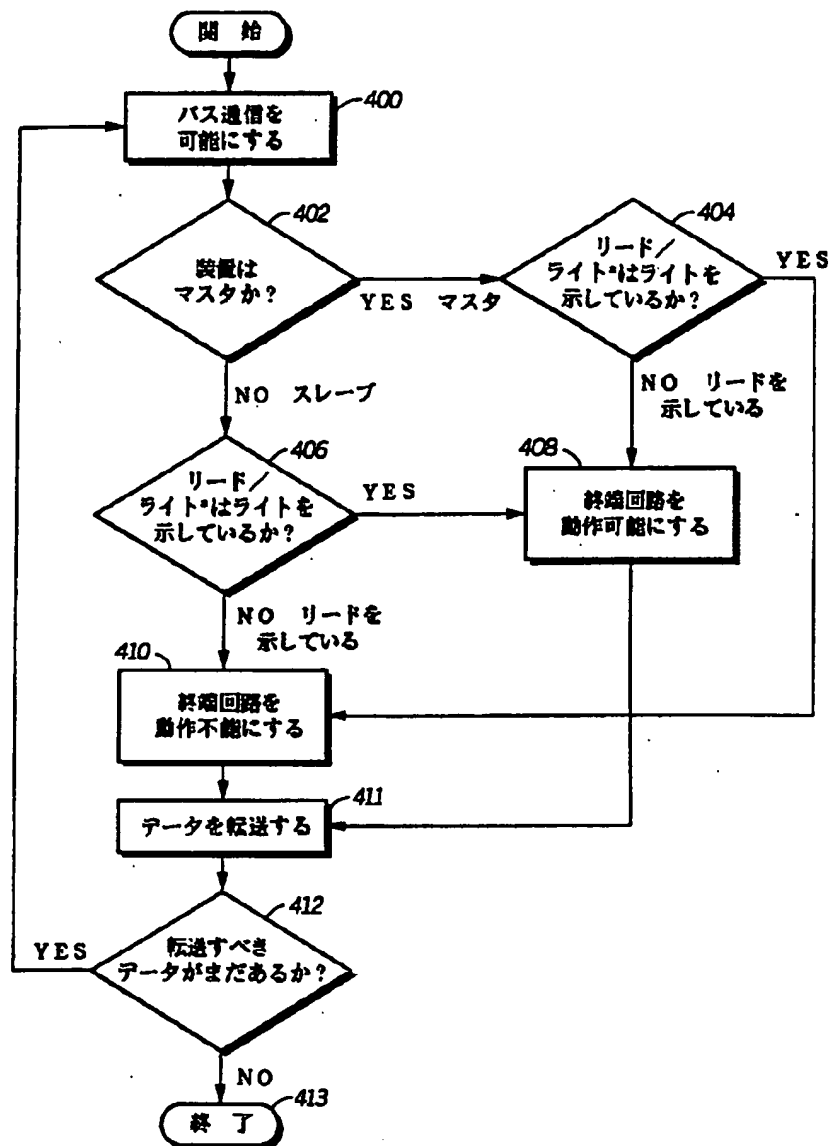
【図2】



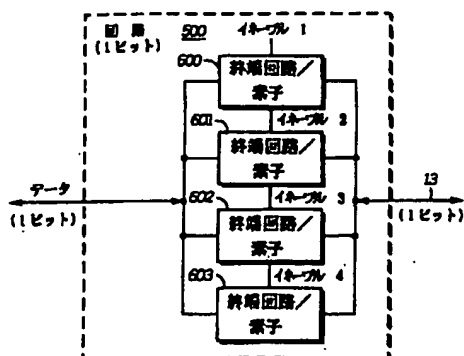
【図3】



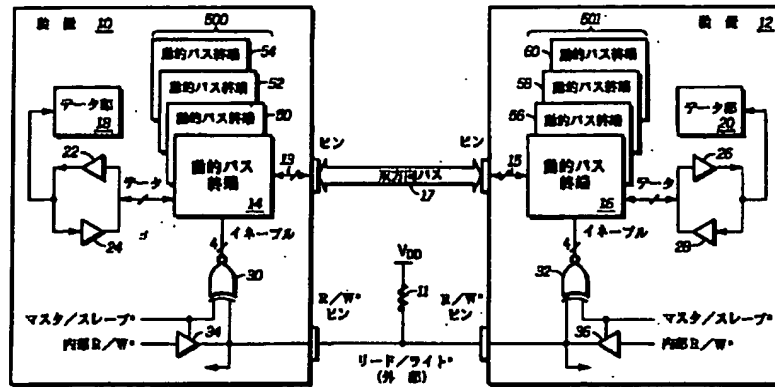
【図4】



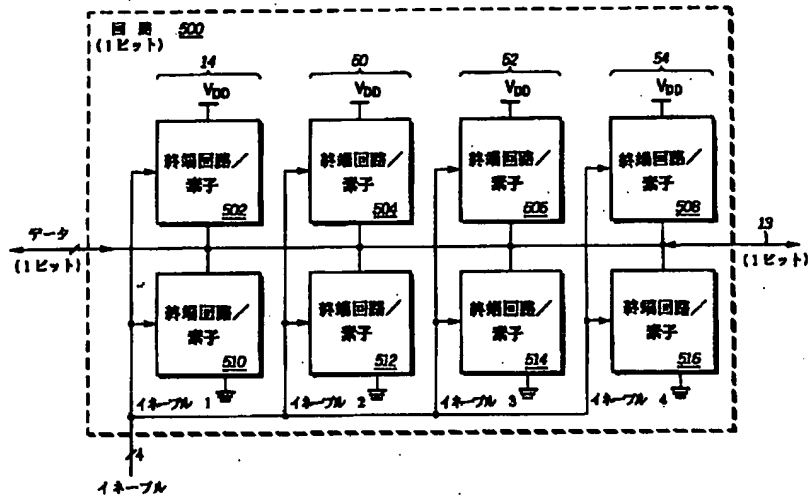
【図8】



【図5】



【図6】



【図7】

